

PATENT OFFICE
JAPANESE GOVERNMENT

RS

2
10-31-02

JC996 U.S. PTO

10/092089



This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 7, 2001

Application Number: No. 2001-063775
[ST.10/C]: [JP2001-063775]

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

January 18, 2002

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2001-3117413

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc996 U.S. PRO
10/092089

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月 7日

出 願 番 号

Application Number:

特願2001-063775

[ST.10/C]:

[JP2001-063775]

出 願 人

Applicant(s):

日本電信電話株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3117413

【書類名】 特許願

【整理番号】 NTTH126631

【提出日】 平成13年 3月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/00

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 岸根 桂路

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 市野 晴彦

【特許出願人】

 【識別番号】 000004226

 【住所又は居所】 東京都千代田区大手町二丁目3番1号

 【氏名又は名称】 日本電信電話株式会社

 【代表者】 宮津 純一郎

【代理人】

 【識別番号】 100083194

 【住所又は居所】 東京都新宿区四谷3丁目13番7号 三栄ビル3階

 【弁理士】

 【氏名又は名称】 長尾 常明

 【電話番号】 03(3352)2421

【手数料の表示】

 【予納台帳番号】 050681

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 要約書 1

【物件名】 図面 1

【包括委任状番号】 9701419

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック／データ・リカバリ回路

【特許請求の範囲】

【請求項1】

入力データ信号のビットレートの $1/K$ ($K=2, 3, \dots$)の周波数のクロック信号を発振する電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を $1:K$ 多重分離する多重分離回路と、前記クロック信号をクロックとして前記多重分離回路の K 個の多重分離出力信号を $K:1$ 多重化する多重化回路と、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う位相比較器と、該位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させるローパスフィルタとを具備し、

前記電圧制御発振器が発振するクロック信号をリカバリクロック信号とし、前記多重分離回路の前記 K 個の多重分離出力信号をリカバリデータ信号とすることを特徴とするクロック／データ・リカバリ回路。

【請求項2】

入力データ信号のビットレートの $1/K$ ($K=2, 3, \dots$)の周波数のクロック信号を発振する電圧制御発振器と、前記入力データ信号を入力する L ($L=1, 2, \dots$)個直列接続のT型フリップフロップ回路と、前記クロック信号をクロックとして前記 L 個直列接続のT型フリップフロップ回路の出力信号を $1:K$ 多重分離する第1の多重分離回路と、前記クロック信号をクロックとして前記入力データ信号を $1:N$ ($N=2^p$, p :自然数)多重分離する第2の多重分離回路と、前記クロック信号をクロックとして前記第1の多重分離回路の K 個の多重分離出力信号を $K:1$ 多重化する多重化回路と、前記 L 個直列接続のT型フリップフロップ回路の出力信号と前記多重化回路の出力信号との位相比較を行う位相比較器と、該位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させるローパスフィルタと、前記電圧制御発振器の出力クロック信号の周波数を m ($m=N/2$)分周する分周器とを具備し、

前記 m 分周器の出力信号をリカバリクロック信号とし、前記第2の多重分離回

路のN個の多重分離出力信号をリカバリデータ信号とすることを特徴とするクロック／データ・リカバリ回路。

【請求項3】

請求項1において、

前記遅延回路の前段に前記入力データ信号を遅延する別の遅延回路を接続し、

前記位相比較器を、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行いその比較結果と前記別の遅延回路の出力信号との位相比較を行う別の位相比較器に置換したことを特徴とするクロック／データ・リカバリ回路。

【請求項4】

請求項2において、

前記L個直列接続のT型フリップフロップ回路の後段に遅延回路を接続し、

前記位相比較器を、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行いその比較結果と前記L個直列接続のT型フリップフロップ回路の出力信号との位相比較を行う別の位相比較器に置換したことを特徴とするクロック／データ・リカバリ回路。

【請求項5】

請求項1又は3の $K=2$ の場合において、

前記多重分離回路は、前記クロック信号をクロックとして前記入力データ信号を取り込む第1のD型フリップフロップ回路と、前記クロック信号の逆相信号をクロックとして前記入力データ信号を取り込む第2のD型フリップフロップ回路とから構成し、

前記多重化回路は、前記クロック信号を遅延させるクロック遅延回路と、該クロック遅延回路の出力信号をクロックとして前記第1のD型フリップフロップ回路の出力信号と前記第2のD型フリップフロップ回路の出力信号を交互に選択するセレクタとから構成したことを特徴とするクロック／データ・リカバリ回路。

【請求項6】

請求項2又は4の $K=2$ の場合において、

前記第1の多重分離回路は、前記クロック信号をクロックとして前記L個直列接続のT型フリップフロップ回路の出力信号を取り込む第1のD型フリップフロ

ップ回路と、前記クロック信号の逆相信号をクロックとして前記L個直列接続のT型フリップフロップ回路の出力信号を取り込む第2のD型フリップフロップ回路とから構成し、

前記多重化回路は、前記クロック信号を遅延させるクロック遅延回路と、該クロック遅延回路の出力信号をクロックとして前記第1のD型フリップフロップ回路の出力信号と前記第2のD型フリップフロップ回路の出力信号を交互に選択するセレクタとから構成したことを特徴とするクロック／データ・リカバリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力データ信号のビットレートの $1/K$ ($K=2, 3, \dots$)の周波数のクロック信号を発振する電圧制御発振器を用いたクロック／データ・リカバリ回路に関するものである。

【0002】

【従来の技術】

クロック／データ・リカバリ回路は、光通信システムのSDH/SONET（基幹網）、point to point伝送、GbE/10GbE、Fibre Channelのルータやクロスコネクタ部における光フロントエンド回路レシーバ部等に適用される。図10に従来のクロック／データ・リカバリ回路の構成を示す。これは、入力データ信号のビットレートの $1/2$ の周波数のクロック信号を発生する電圧制御発振器を用いたPLL構成（参考：M.Wurzer, et.al., "A 40-Gb/s Integrated Clock and Data Recovery Circuit in a 50-GHz Silicon Bipolar Technology," IEEE J. Solid-State Circuits, VOL.34, NO.9, pp.1320-1324 Sep.1999.）である。

【0003】

このクロック／データ・リカバリ回路は、入力データ信号DINのビットレートの $1/2$ の周波数でクロック信号CLK1を発振する電圧制御発振器（VCO）51と、そのクロック信号CLK1の逆相信号、正相信号を各々クロックとするD型フリップフロップ回路（DFF）52, 53（立ち上がりエッジで書き込む）と、クロック信号CLK1を90度位相遅延する90度遅延回路54と、その

90度遅延回路54の出力クロック信号CLK2をクロックとするD型フリップフロップ回路55と、D型フリップフロップ回路53、55の出力信号D2、D3の位相比較を行うEXOR回路56と、そのEXOR回路56から出力する位相比較信号から直流成分を抽出し電圧制御発振器51に制御電圧として入力するローパスフィルタ(LPF)57とから構成されている。D1はD型フリップフロップ回路52の出力信号である。

【0004】

図11にこのクロック/データ・リカバリ回路の信号DIN、D2、CLK1、CLK2動作タイミングチャートを示す。(a)、(b)、(c)は、それぞれロック状態、クロック信号CLK1の位相進み状態、クロック信号CLK1の位相遅れ状態を示す。

【0005】

図11(a)のロック状態では、クロック信号CLK1の立ち上がり/立ち下がりエッジが入力データ信号DINのエッジ間の中心と同じタイミングとなり、クロック信号CLK2の立ち上がり/立ち下がりエッジが入力データ信号DINのエッジと同じタイミングになる。

【0006】

入力データ信号DINにデータ遷移(1→0、0→1)がある時に、その入力データ信号DINとクロック信号CLK1の位相関係の進み/遅れに応じてEXOR回路56から出力信号が出力される。

【0007】

入力データ信号DINのデータAとデータB間でデータ遷移がある場合、クロック進み状態(図11(b))ではD型フリップフロップ回路53、55はいずれもデータAを識別(サンプリング)して出力信号D2、D3は同符合となるが、クロック遅れ状態(図11(c))ではD型フリップフロップ回路53はデータAを、D型フリップフロップ回路55はデータBを、それぞれ識別するため、出力信号D2、D3は異なる符合の信号となる。

【0008】

したがって、入力データ信号DINにデータ遷移がある場合、クロック信号C

CLK 1の入力データ信号DINに対する進み／遅れに応じてEXOR回路56の出力信号が決定（進みなら1、遅れなら0）し、その出力信号からローパスフィルタ57で直流成分を抽出した直流レベル信号がフィードバック信号として電圧制御発振器51へ入力される。

【0009】

以上の構成により、PLLを利用したクロック／データ・リカバリ回路の電圧制御発振器の発振周波数に対し、その1/2（周期が入力データ信号DINの最小パルス幅の2倍）の発振周波数の電圧制御発振器を用いて、引き込み動作可能なクロック／データ・リカバリ回路の実現が可能である。

【0010】

【発明が解決しようとする課題】

ところが、図11(a)は理想的なロック状態のタイミングチャートを示しており、実際のロック状態における図10のクロック信号CLK 1, CLK 2のエッジは、図12(a)に示すように、入力データ信号DINのパルス中心 t_1 およびエッジ t_2 を中心として、その入力データ信号DINの位相に対し、進み／遅れ動作を繰り返す。

【0011】

単位時間あたりの入力データ信号DINの遷移数（1→0または0→1への変化の数）をNTR、遷移時にクロック信号CLK 1, CLK 2の位相が入力データ信号DINの位相に対して進みにある場合の数をNLEADとし、遅れにある場合の数をNLAG（=NTR-NLEAD）とし、この進み／遅れ状態数の割合をRLLとすると、

$$RLL = NLEAD / NLAG \quad (1)$$

が、単位時間当りのEXOR回路56の出力が1である場合と0である場合の数の割合を決定し、結果として電圧制御発振器51にフィードバックされるローパスフィルタ57の出力電位が決定される。

【0012】

電圧制御発振器51の自走発振周波数を f_o 、入力データ信号DINのクロック周波数を f_{in} とすると、ロック状態において電圧制御発振器51へのフィードバック電位は、 $2f_o$ と f_{in} の差 f_d に比例し、したがって、ロック状態のEX

OR回路56の出力信号の1/0の割合も周波数差 f_d に比例していることになる。結果的に、

$$RLL \propto f_d \quad (2)$$

の関係が成り立つ。

【0013】

ここで、周波数差 f_d が電圧制御発振器51へフィードバックされることにより位相の進み/遅れ状態数の割合RLLは決定されるが、その位相差（進み/遅れの量）は決定されない。すなわちロック状態においてRLLは同じで、個々の進み/遅れ状態の位相量が異なる場合が存在する（図12(b),(c)）。図12(b)は進み/遅れ量が小の場合、図12(c)は進み/遅れ量が大の場合である。

【0014】

図12(b)、(c)において、RLLが同一で電圧制御発振器51へのフィードバック電位が同電位となっても、位相量が異なるためにクロックジッタは図12(c)の方が大きい。電圧制御発振器51へのフィードバック電位が同一となり得る状態で、それぞれの進み/遅れにおけるクロック位相の変動範囲は ± 90 度である。すなわち、入力データ信号DINのビットレートが B_R [b/s]の場合、

$$\pm 90 \text{度} = 1 / (2 B_R) \text{ [s] pp} \quad (3)$$

となり、大きなジッタが発生するという問題があった。

【0015】

本発明の目的は、クロック変動範囲を小さくできるようにして、入力データ信号のビットレートの1/2の周波数を発振する電圧制御発振器を使用しながらも、低ジッタを実現したクロック/データ・リカバリ回路を提供することである。

【0016】

【課題を解決するための手段】

請求項1の発明は、入力データ信号のビットレートの $1/K$ ($K=2, 3, \dots$)の周波数のクロック信号を発振する電圧制御発振器と、前記入力データ信号をタイミング調整のために遅延させる遅延回路と、前記クロック信号をクロックとして前記入力データ信号を $1:K$ 多重分離する多重分離回路と、前記クロック信号をクロックとして前記多重分離回路の K 個の多重分離出力信号を $K:1$ 多

重化する多重化回路と、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行う位相比較器と、該位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させるローパスフィルタとを具備し、前記電圧制御発振器が発振するクロック信号をリカバリクロック信号とし、前記多重分離回路の前記K個の多重分離出力信号をリカバリデータ信号とするよう構成した。

【0017】

請求項2の発明は、入力データ信号のビットレートの $1/K$ ($K=2, 3, \dots$)の周波数のクロック信号を発振する電圧制御発振器と、前記入力データ信号を入力する L ($L=1, 2, \dots$)個直列接続のT型フリップフロップ回路と、前記クロック信号をクロックとして前記 L 個直列接続のT型フリップフロップ回路の出力信号を $1:K$ 多重分離する第1の多重分離回路と、前記クロック信号をクロックとして前記入力データ信号を $1:N$ ($N=2^p$, p :自然数)多重分離する第2の多重分離回路と、前記クロック信号をクロックとして前記第1の多重分離回路の K 個の多重分離出力信号を $K:1$ 多重化する多重化回路と、前記 L 個直列接続のT型フリップフロップ回路の出力信号と前記多重化回路の出力信号との位相比較を行う位相比較器と、該位相比較器の出力信号から直流成分を取り出し前記電圧制御発振器に制御電圧として入力させるローパスフィルタと、前記電圧制御発振器の出力クロック信号の周波数を m ($m=N/2$)分周する分周器とを具備し、前記 m 分周器の出力信号をリカバリクロック信号とし、前記第2の多重分離回路の N 個の多重分離出力信号をリカバリデータ信号とするよう構成した。

【0018】

請求項3の発明は、請求項1の発明において、前記遅延回路の前段に前記入力データ信号を遅延する別の遅延回路を接続し、前記位相比較器を、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行いその比較結果と前記別の遅延回路の出力信号との位相比較を行う別の位相比較器に置換して構成した。

【0019】

請求項4の発明は、請求項2の発明において、前記L個直列接続のT型フリップフロップ回路の後段に遅延回路を接続し、前記位相比較器を、前記遅延回路の出力信号と前記多重化回路の出力信号との位相比較を行いその比較結果と前記L個直列接続のT型フリップフロップ回路の出力信号との位相比較を行う別の位相比較器に置換して構成した。

【0020】

請求項5の発明は、請求項1又は3の発明の $K=2$ の場合において、前記多重分離回路は、前記クロック信号をクロックとして前記入力データ信号を取り込む第1のD型フリップフロップ回路と、前記クロック信号の逆相信号をクロックとして前記入力データ信号を取り込む第2のD型フリップフロップ回路とから構成し、前記多重化回路は、前記クロック信号を遅延させるクロック遅延回路と、該クロック遅延回路の出力信号をクロックとして前記第1のD型フリップフロップ回路の出力信号と前記第2のD型フリップフロップ回路の出力信号を交互に選択するセレクタとから構成した。

【0021】

請求項6の発明は、請求項2又は4の発明の $K=2$ の場合において、前記第1の多重分離回路は、前記クロック信号をクロックとして前記L個直列接続のT型フリップフロップ回路の出力信号を取り込む第1のD型フリップフロップ回路と、前記クロック信号の逆相信号をクロックとして前記L個直列接続のT型フリップフロップ回路の出力信号を取り込む第2のD型フリップフロップ回路とから構成し、前記多重化回路は、前記クロック信号を遅延させるクロック遅延回路と、該クロック遅延回路の出力信号をクロックとして前記第1のD型フリップフロップ回路の出力信号と前記第2のD型フリップフロップ回路の出力信号を交互に選択するセレクタとから構成した。

【0022】

【発明の実施の形態】

本発明は、入力データ信号のビットレートの1/2周波数のクロック信号を発振する電圧制御発振器の発振信号を利用し、入力データ信号に対し多重分離および多重化の操作を行って電圧制御発振器の発振信号と同期した位相を有するデータ

信号を発生させ、これを入力データ信号と位相比較器で位相比較するようにしたPLL構成により、同期状態（ロック状態）において両信号の周波数差に応じて電圧制御発振器の出力信号位相が一意に定まり、低ジッタ実現を可能とし、クロック／データ・リカバリ回路の高性能化を図るものである。

【0023】

〔第1の実施形態〕

図1に本発明の第1の実施形態を示す。図1において、1は入力データ信号DINを90度位相遅延させる90度遅延回路、2は入力データ信号DINのビットレートの1/2の周波数で発振する電圧制御発振器（VCO）、3はその電圧制御発振器2から出力するクロック信号CLKをクロックとし入力データ信号DINに対し1:2多重分離操作を行う多重分離回路（DEMUX）、4はクロック信号CLKをクロックとし多重分離回路3の出力信号DX11, DX12に対し2:1多重化操作を行う多重化回路（MUX）、5はその多重化回路4の出力信号MX1と90度遅延回路1の出力信号DY1の位相を比較する位相比較器（PC）、6は位相比較器5の出力信号PC1から直流成分を抽出するローパスフィルタ（LPF）、7はそのローパスフィルタ6の出力信号を増幅して電圧制御発振器2に制御電圧として入力するゲインコントロールアンプ（GCA）である。電圧制御発振器2が発振するクロック信号CLKがリカバリクロック、多重分離回路3の出力信号DX11, DX12がリカバリデータとなる。

【0024】

図2に本実施形態の動作のロック状態のタイミングチャートを示す。多重分離回路3で入力データ信号DINを一旦1:2多重分離し、再度多重化回路4で2:1多重化させることにより、その多重化回路4の出力信号MX1の位相は、クロック信号CLKの位相と同期した信号となる。この出力信号MX1と90度遅延回路1の出力信号DY1を位相比較器5で位相比較することにより、それらの位相差に応じた時間幅を有するパルス信号PC1が位相比較器5から出力され、ローパスフィルタ6でこの信号の直流成分が抽出され、ゲインコントロールアンプ7で増幅されて制御電圧として電圧制御発振器2に入力される。図2のタイミングチャートでの位相比較器5の出力信号PC1の波形は、この位相比較器5が

がEXOR型の場合である。

【0025】

本実施形態では、電圧制御発振器2の出力クロック信号CLKの位相と同期した位相を有するデータ信号MX1を発生させ、このデータ信号MX1と入力データ信号DINの位相比較結果により電圧制御発振器2を制御するので、同期状態において電圧制御発振器2の出力信号の位相が一意的に決まり、低ジッタを実現可能となる。

【0026】

図9に本実施形態の効果を示す。入力データ信号DINのビットレートが B_R Gb/sのとき、図10の従来回路におけるジッタの最大値 J_{ol} は、 α をコンポーネントが発生するノイズによるジッタ[s]ppとすると、

$$J_{ol} = (2/B_R) + \alpha \text{ [s]pp} \quad (4)$$

であるが、図1の本実施形態でのジッタ J_{oN} は、

$$J_{oN} = \alpha \text{ [s]pp} \quad (5)$$

となり、 $2/B_R$ [s]ppのジッタ削減が可能となる。

【0027】

〔第2の実施形態〕

図3に本発明の第2の実施形態を示す。図1に示した第1の実施形態のものと同じものには同じ符号を付けた。ここでは、図1の回路において、90度遅延回路1の代わり入力データ信号DINを2分周する分周器としてのT型フリップフロップ回路(TFF)8を位相比較器5の入力側に接続し、そのT型フリップフロップ回路8の出力信号FF1の位相に対してCLK位相が同期するようにした。さらに、クロック信号CLKをクロックとし入力データ信号DINに対し1:N($N=2^p$, p:自然数)多重分離操作する多重分離回路9を設け、またクロック信号CLKの周波数を $1/m$ ($m=N/2$)に分周して出力するm分周器10を設けた。ここでは、m分周器10から出力するクロック信号CLKmがリカバリクロック、多重分離回路9の出力信号DX21, DX22, ..., DXNがリカバリデータとなる。

【0028】

図4に本実施形態の動作のロック状態のタイミングチャートを示す。クロック信号CLKをクロックとする多重分離回路3でT型フリップフロップ回路8の出力信号FF1に多重分離操作を行ない、クロック信号CLKをクロックとする多重化回路4で多重化操作を行うことにより、その多重化回路4の出力信号MX1の位相はクロック信号CLKの位相と同期した信号となる。この信号MX1とT型フリップフロップ回路8の出力信号FF1を位相比較器5で位相比較することにより、それらの位相差に応じた時間幅を有するパルスがその位相比較器5から出力され、ローパスフィルタ6でこの信号の直流成分が抽出され、ゲインコントロールアンプ7で増幅され、電圧制御発振器2に入力される。

【0029】

本実施形態では、入力データ信号DINをT型フリップフロップ回路8で2分周してからPLL処理を行っているので、第1の実施形態に比して、位相比較器5に要求される動作帯域が1/2になり、より安定動作が可能である。

【0030】

[第3の実施形態]

図5に本発明の第3の実施形態を示す。図1に示した第1の実施形態のものと同じものには同じ符号を付けた。ここでは、図1の回路において、入力データ信号DINを遅延させる遅延回路11を挿入し、その遅延回路11の出力信号DY0を90度遅延回路1で90度位相遅延させる。また、遅延回路11の出力信号DY0と90度遅延回路1の出力信号DY1と、多重化回路4の出力信号MX1を入力する位相比較器12を使用する。

【0031】

この位相比較器12はまず信号DY1と多重化信号MX1の位相を比較し、その比較結果の信号と信号DY0の位相を比較するものである（例えば、特開平6-252654号公報）。この位相比較器12により、入力データ信号DINのパターンに依存した位相差成分がキャンセルされる。

【0032】

本構成により、第1の実施形態に対し、同符号連続データ入力に対する耐性が向上する。多重化回路4の出力信号MX1の位相変動は、クロック信号CLKの

位相変動に追随し、電圧制御発振器2の出力クロック信号CLKの位相と入力データ信号DINの位相との位相差に応じたパルス幅をもつ位相比較信号が位相比較器12から出力される。

【0033】

[第4の実施形態]

図6に本発明の第4の実施形態を示す。図3、図5に示した第2、3の実施形態のものと同一のものには同じ符号を付けた。ここでは、図3の回路において、T型フリップフロップ回路8の出力信号FF1を入力する90遅延回路1を挿入し、その90度遅延回路1の出力信号DY1とT型フリップフロップ回路8の出力信号FF1と多重化回路4の出力信号MX1とを入力する位相比較器12を、位相比較器5に代えて設けた。

【0034】

本構成により、第2の実施形態に比し、同符号連続データ入力に対する耐性が向上する。また、第3の実施形態に比し、位相比較に要求される動作帯域が1/2で、動作マージンの大きい構成となっている。

【0035】

[第5の実施形態]

図7は以上説明した多重分離回路3の詳細な回路図である。この多重分離回路3は2個のD型フリップフロップ回路31、32で構成され、それぞれの出力信号をDX11、DX12とする構成である。図8は多重化回路4の詳細な回路図である。この多重化回路4は、セレクタ41とクロック遅延回路42で構成され、クロック信号CLKをクロック遅延回路42でタイミング調整した信号でセレクタ41を切り替え、信号DX11、DX12を交互にセレクトして出力するものである。なお、多重分離回路9についても、N個のD型フリップフロップ回路を設け、多重分離回路3を発展させた回路で構成できる。このように、多重分離回路3、9および多重化回路4は簡単な構成で実現でき、低コスト化に寄与できる。

【0036】

[その他の実施形態]

なお、以上において、図1、図5、図6の90度遅延回路1は、タイミング調整用であり、必ずしも90度位相遅延を行うものに限られるものではなく、位相遅延を行う回路であればよい。また、図1、図3、図5、図6の電圧制御発振器2の発振クロックCLKの周波数は、入力データ信号DINのビットレートの1/2の周波数のクロックに限られず、入力データ信号DINのビットレートの1/K ($K=2, 3, \dots$)の周波数のクロックを発振するように構成すればよい。このとき、多重分離回路3は1:Kの多重分離を行い、多重化回路4はK:1の多重化を行うようにすればよい。さらに、図3、図6のT型フリップフロップ回路8は、L ($L=1, 2, \dots$)個を直列接続したものであってもよい。

【0037】

【発明の効果】

以上説明したように、本発明によれば、入力データ信号に対して多重分離/多重化操作を行なって電圧制御発振器の出力クロック信号と位相の合ったデータ信号に変換し、このデータ信号と入力データ信号の位相比較を行うことにより、従来の1/2の周波数の電圧制御発振器であっても位相差に応じた位相比較出力を出力可能で、電圧制御発振器へのフィードバック電位も位相差に応じた電位になり、低ジッタを実現できる。

【0038】

また、本発明によれば、光通信システムのSDH/SONET（基幹網）、point to point伝送、GbE/10GbE、Fiber Channelのルータやクロスコネクタ部における光フロントエンド回路レシーバ部等に適用して、低ジッタ、小型、低電力のクロック/データ・リカバリ回路を実現でき、光フロントエンドモジュールの低コスト化を図り、結果として通信システムコスト低減を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のクロック/データ・リカバリ回路のブロック図である。

【図2】 図1の回路の動作のタイミングチャートである。

【図3】 本発明の第2の実施形態のクロック/データ・リカバリ回路のブロ

ック図である。

【図4】 図3の回路の動作のタイミングチャートである。

【図5】 本発明の第3の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図6】 本発明の第4の実施形態のクロック／データ・リカバリ回路のブロック図である。

【図7】 多重分離回路の詳細を示すブロック図である。

【図8】 多重化回路の詳細を示すブロック図である。

【図9】 図1の回路と従来例の効果の比較のタイミングチャートである。

【図10】 従来のクロック／データ・リカバリ回路のブロック図である。

【図11】 図10の回路の動作のタイミングチャートである。

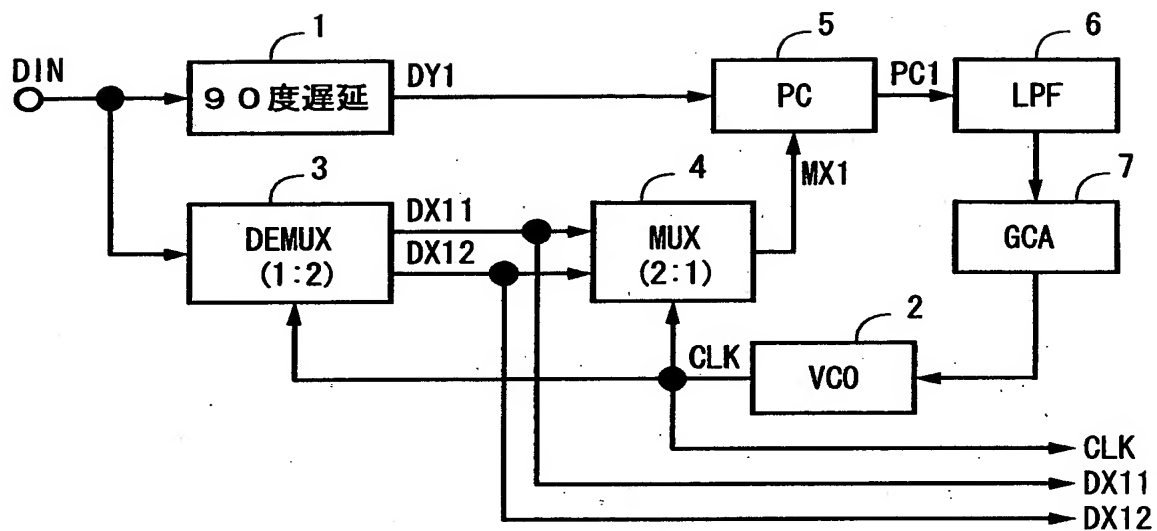
【図12】 図10の回路の動作のより詳しいタイミングチャートである。

【符号の説明】

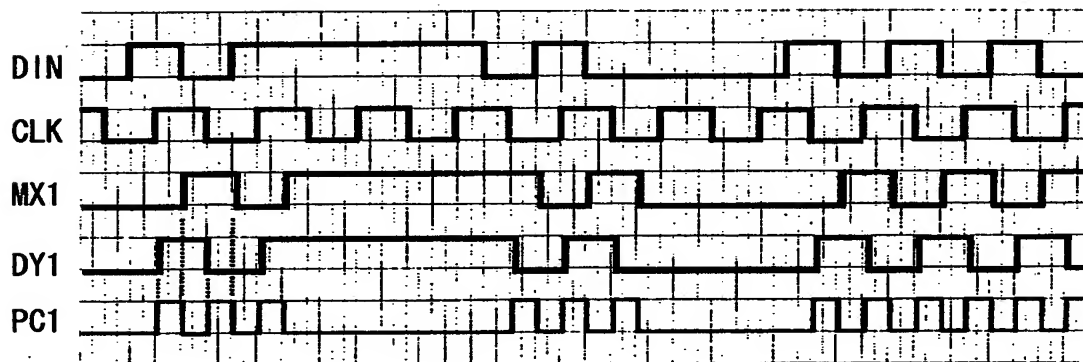
1：90度遅延回路、2：電圧制御発振器、3：多重分離回路、31、32：D型フリップフロップ回路、4：多重化回路41：セレクタ、42：クロック遅延回路、5：位相比較器、6：ローパスフィルタ、7：ゲインコントロールアンプ、8：T型フリップフロップ回路、9：多重分離回路、10：m分周器、11：遅延回路、12：位相比較器。

【書類名】 図面

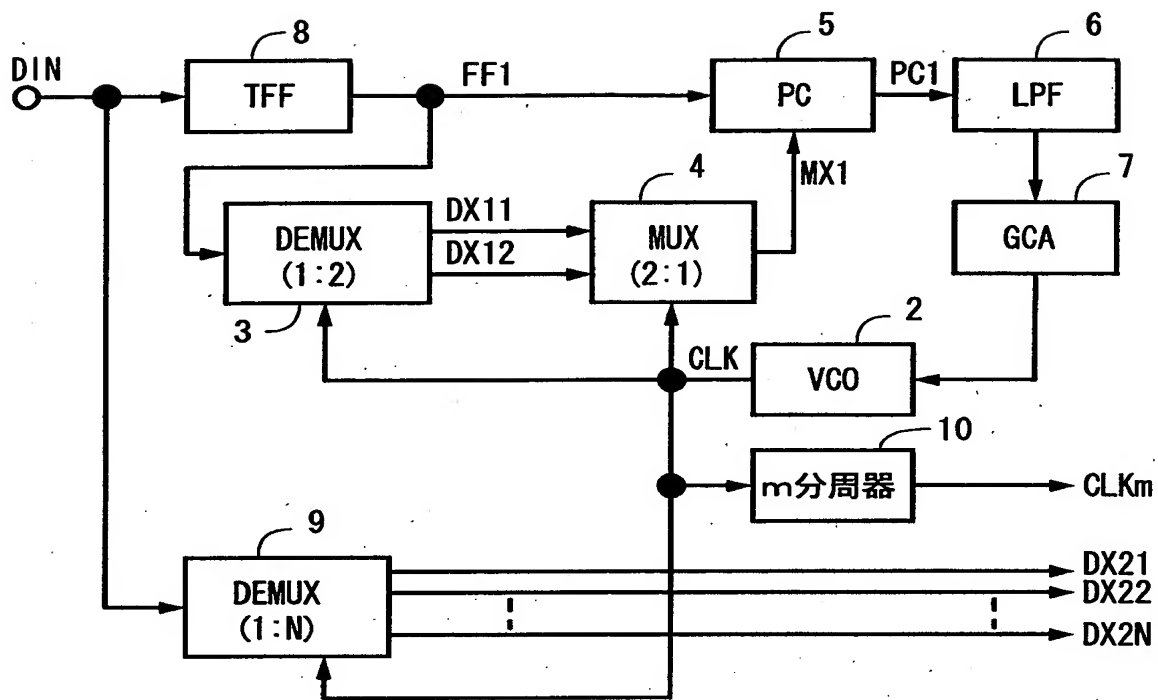
【図1】



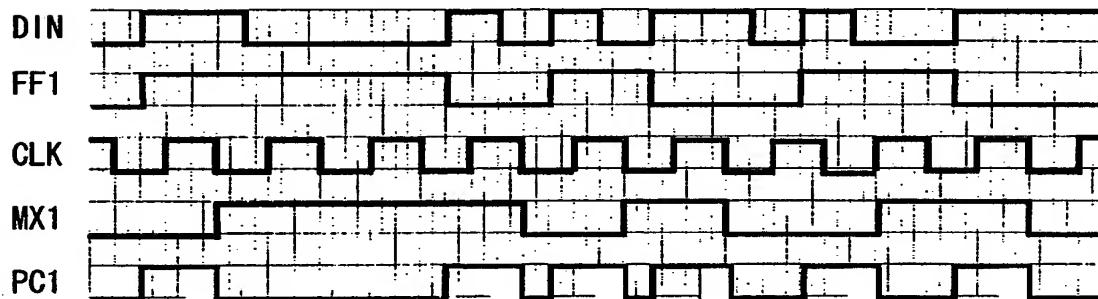
【図2】



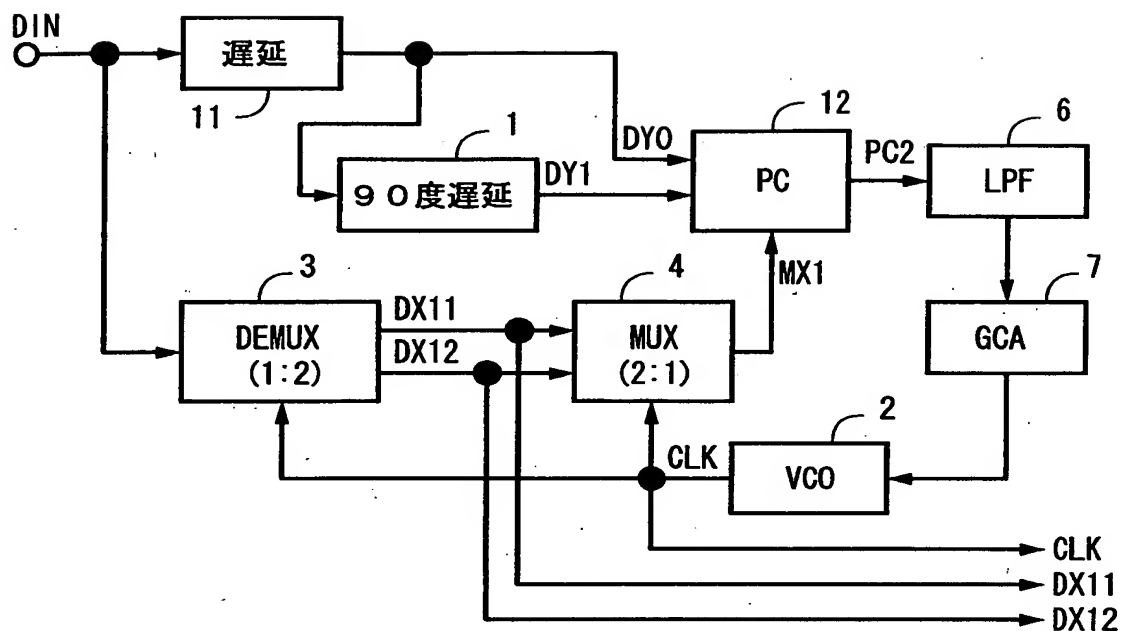
【図3】



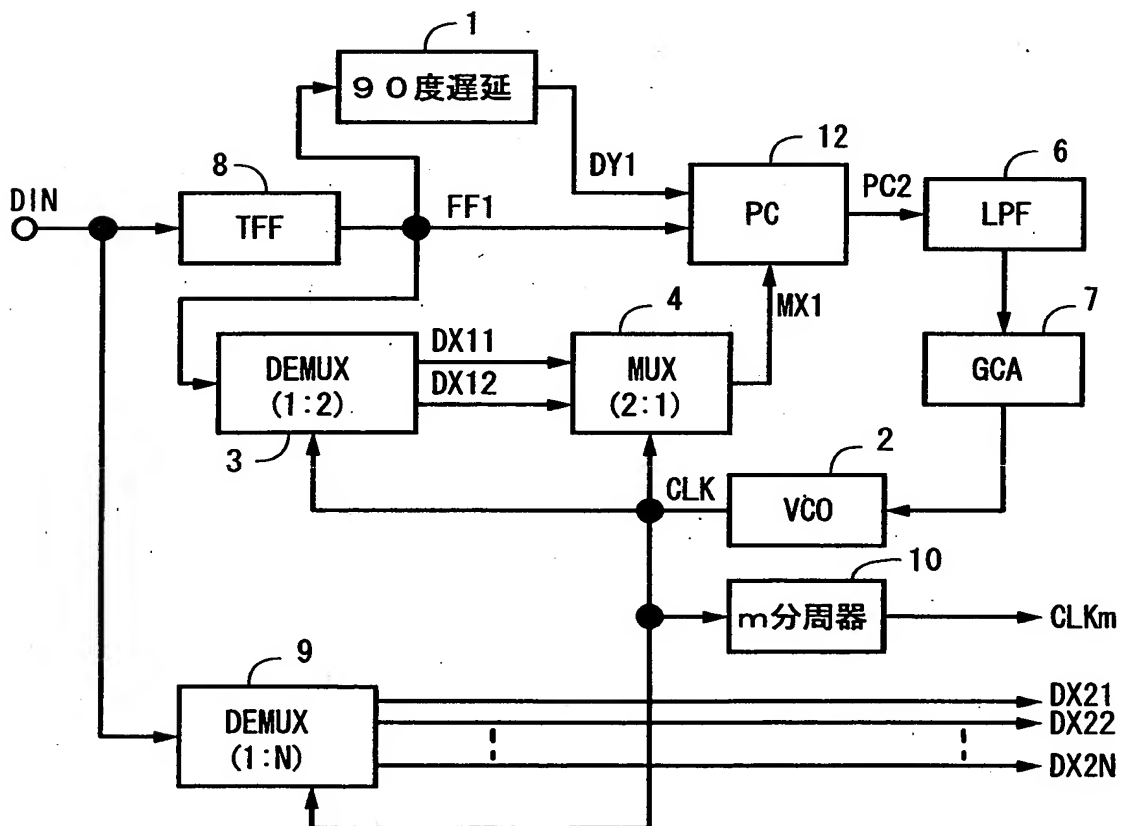
【図4】



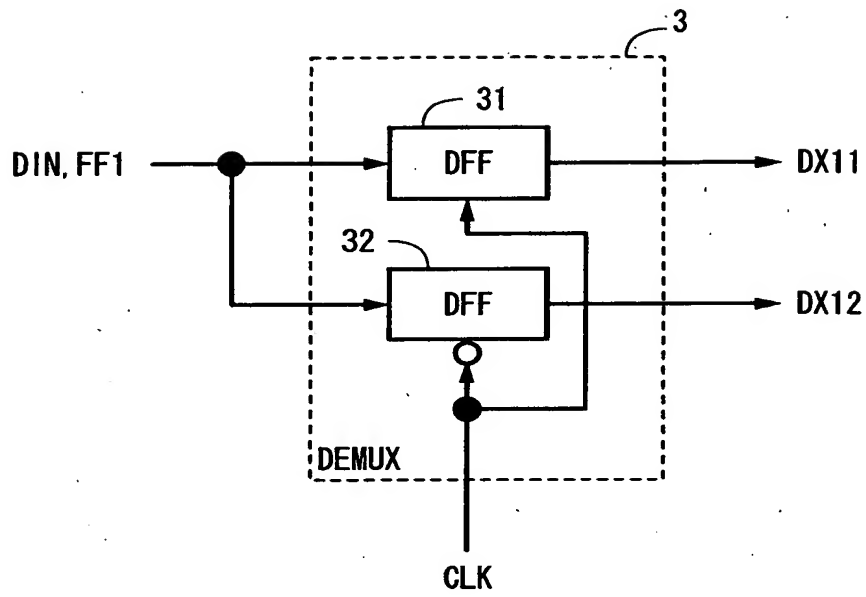
【図5】



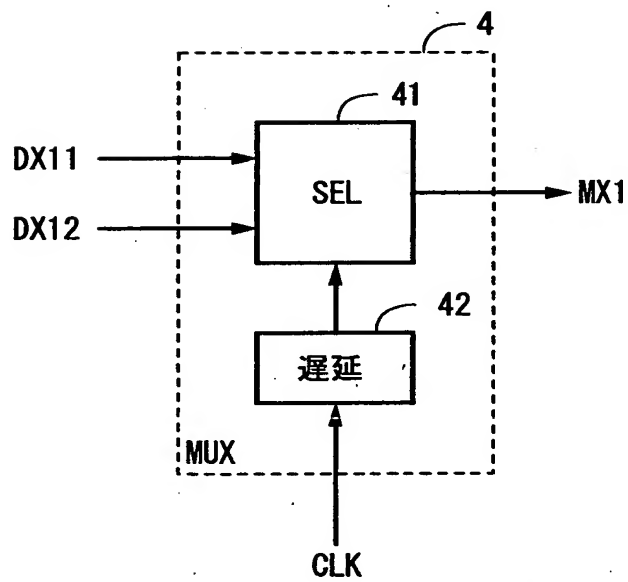
【図6】



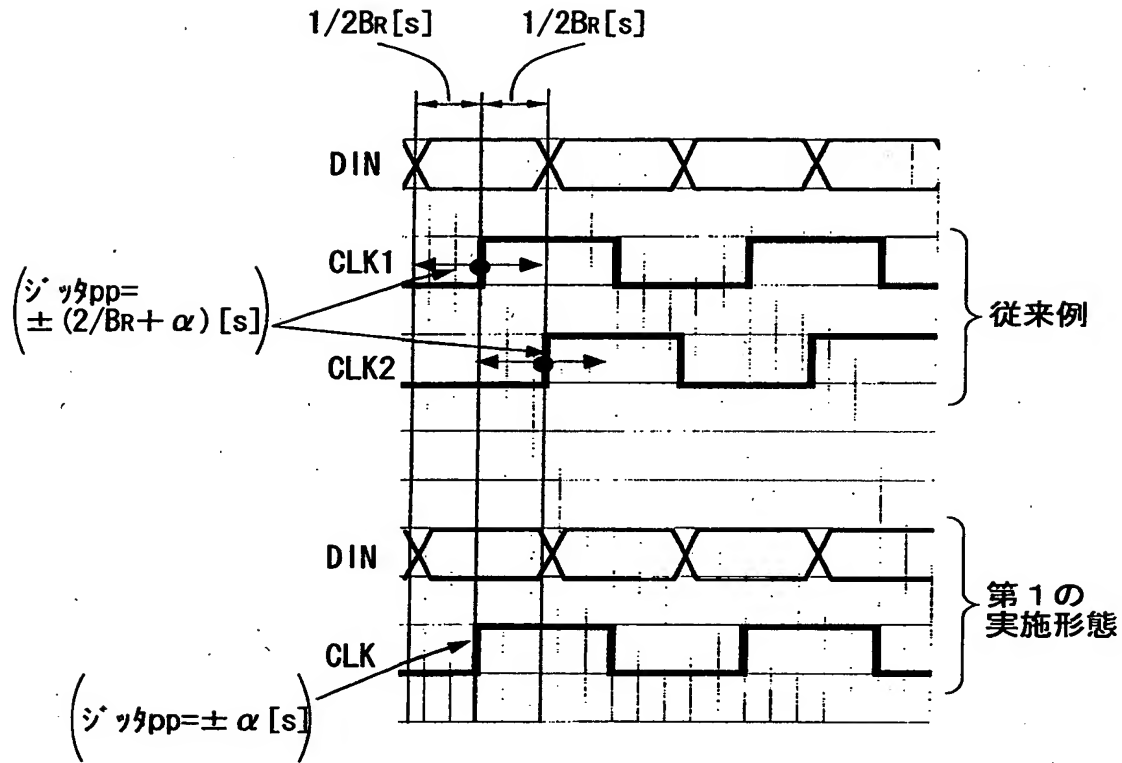
【図7】



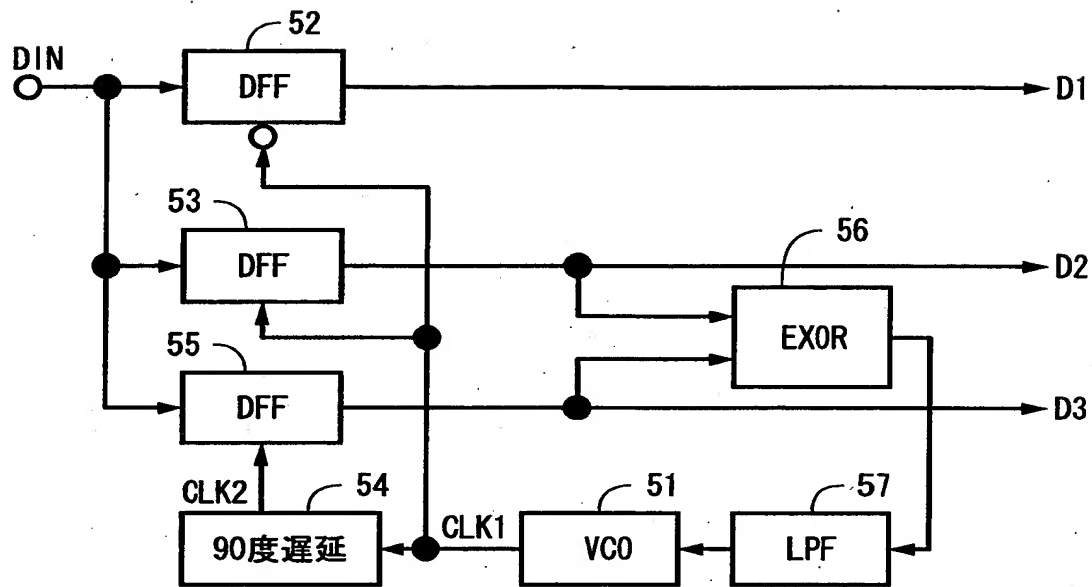
【図8】



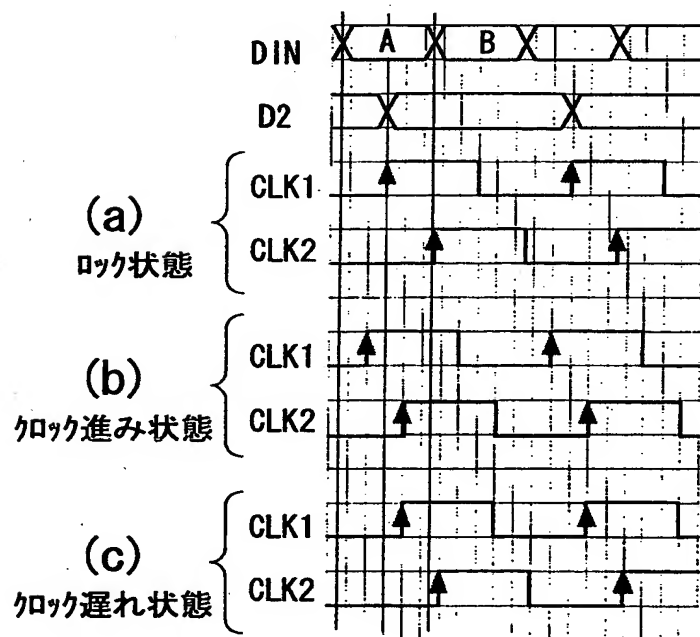
【図9】



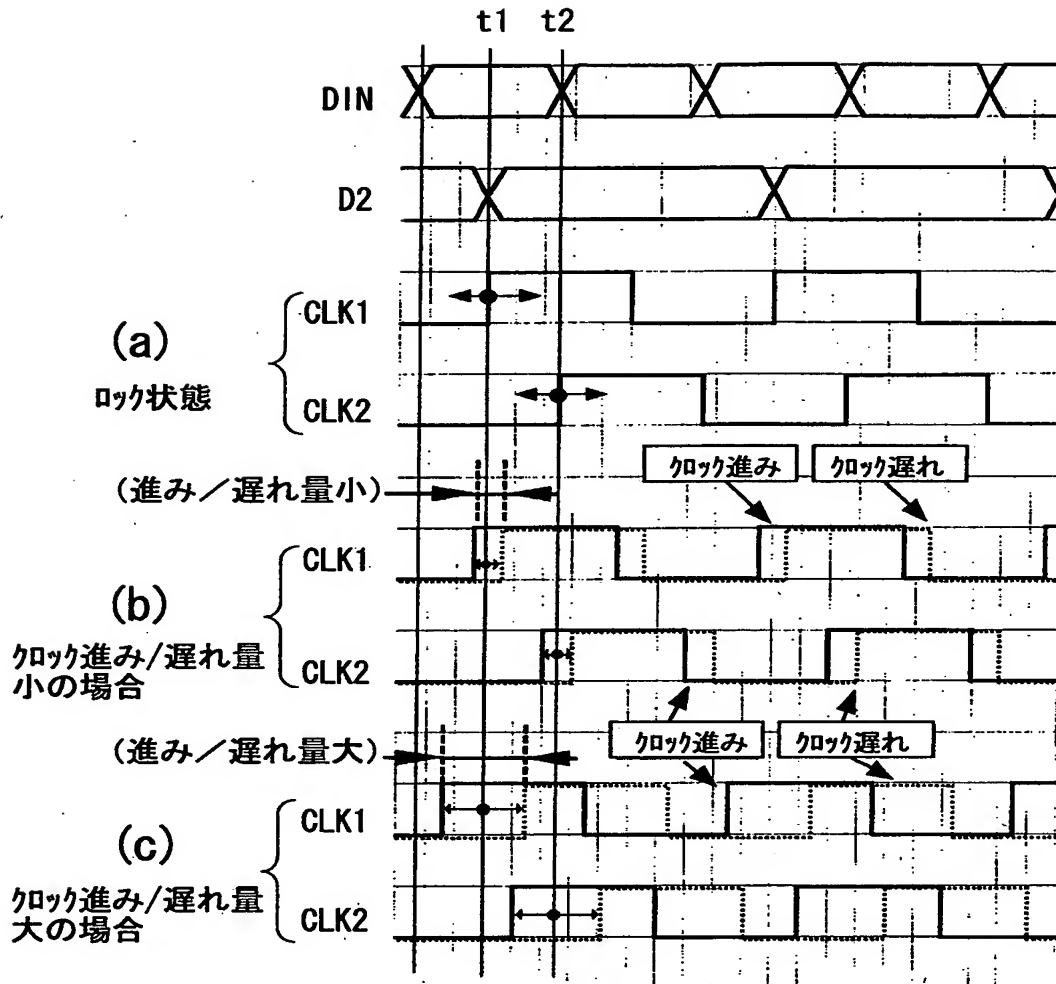
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 ジッタを低減する。

【解決手段】 入力データ信号DINに対して多重分離／多重化操作を行なった信号MX1と、入力データ信号DINを90度位相遅延した信号DY1とを位相比較器5で位相比較し、その位相比較信号の直流成分で電圧制御発振器2を制御して入力データ信号DINのビットレートの1/2の周波数のクロック信号CLKを発振する。このクロック信号CLKで前記の多重分離／多重化操作を行なう多重分離回路3と多重化回路4のタイミング制御を行う。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社